

关于 Kinetis K 系列 16 位 ADC PGA 的分析

作者: Martin Mienkina, Han Lin, 和 Alejandra Guzman
汽车与工业化解决方案小组

内容

1 简介

飞思卡尔 Kinetis 微控制器集成了 16 位模数转换器 (ADC16) 和片内可编程增益放大器 (PGA), 可在多种模式下工作。

可编程增益放大器 (PGA) 可在低幅值信号馈入 16 位 ADC 前对其放大, 从而增大动态范围。

1	简介.....	1
2	Kinetis PGA 集成.....	2
3	PGA 动态输入示例.....	4
4	16 位 ADC 测量用例	7
5	结语.....	8
6	参考.....	9

1.1 摘要

每当转换器路径中加入一个增益级时, 系统的信噪比 (SNR) 将降低。这是因为 PGA 将噪声引入了系统。因此, 可能会引出这样的疑问: 为什么应用需要在系统中加入 PGA?

在 ADC 转换前加入 PGA 级主要是为了增大动态范围。动态范围表明可分辨的最小步长以及最大和最小可能输入之间的比值。分辨率是指结果中的位数, 通常会被混淆为动态范围。

1.2 目的

本文档将描述 ADC16 和 ADC16-PGA 测量链在典型测量用例中的技术观察和传递函数。本应用笔记中提供的信息已通过 TWR-K60N512 开发板上的测量实验进行了验证。

2 Kinetis PGA 集成

Kinetis K 系列中的 72 MHz 和 100 MHz 微控制器最多可具有两个 16 位 ADC。

每个 ADC 含有一个 PGA 通道，总共有两个独立的 PGA，如[图 1](#) 中所示。

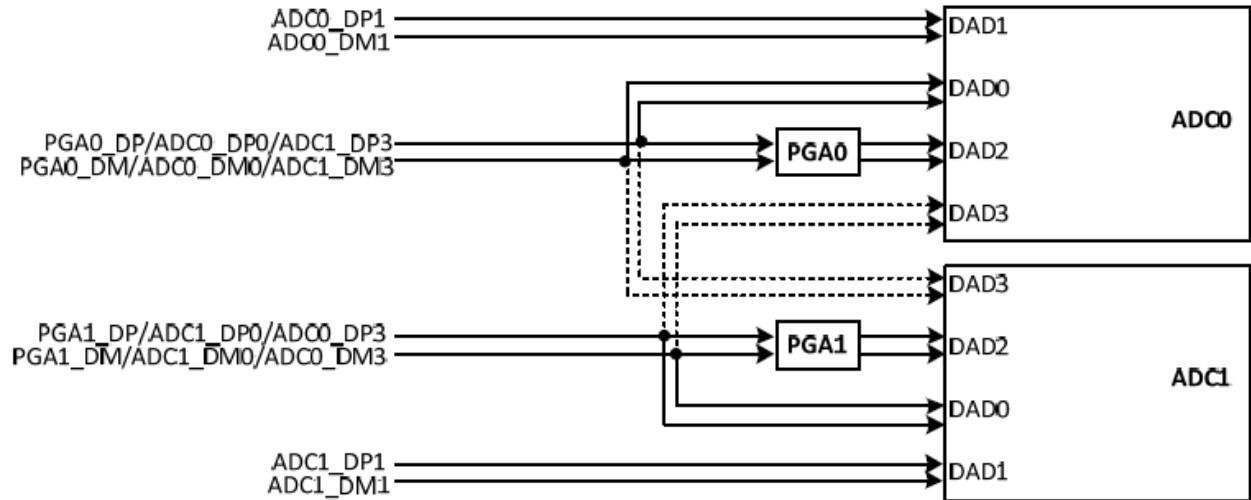


图 1. 具有双 ADC 的 PGA 集成

Kinetis K 系列中的 120 MHz 和 150 MHz 微控制器最多可具有 4 个 ADC。每个 ADC 含有一个 PGA 通道，总共有四个独立的 PGA，如[图 2](#) 中所示。

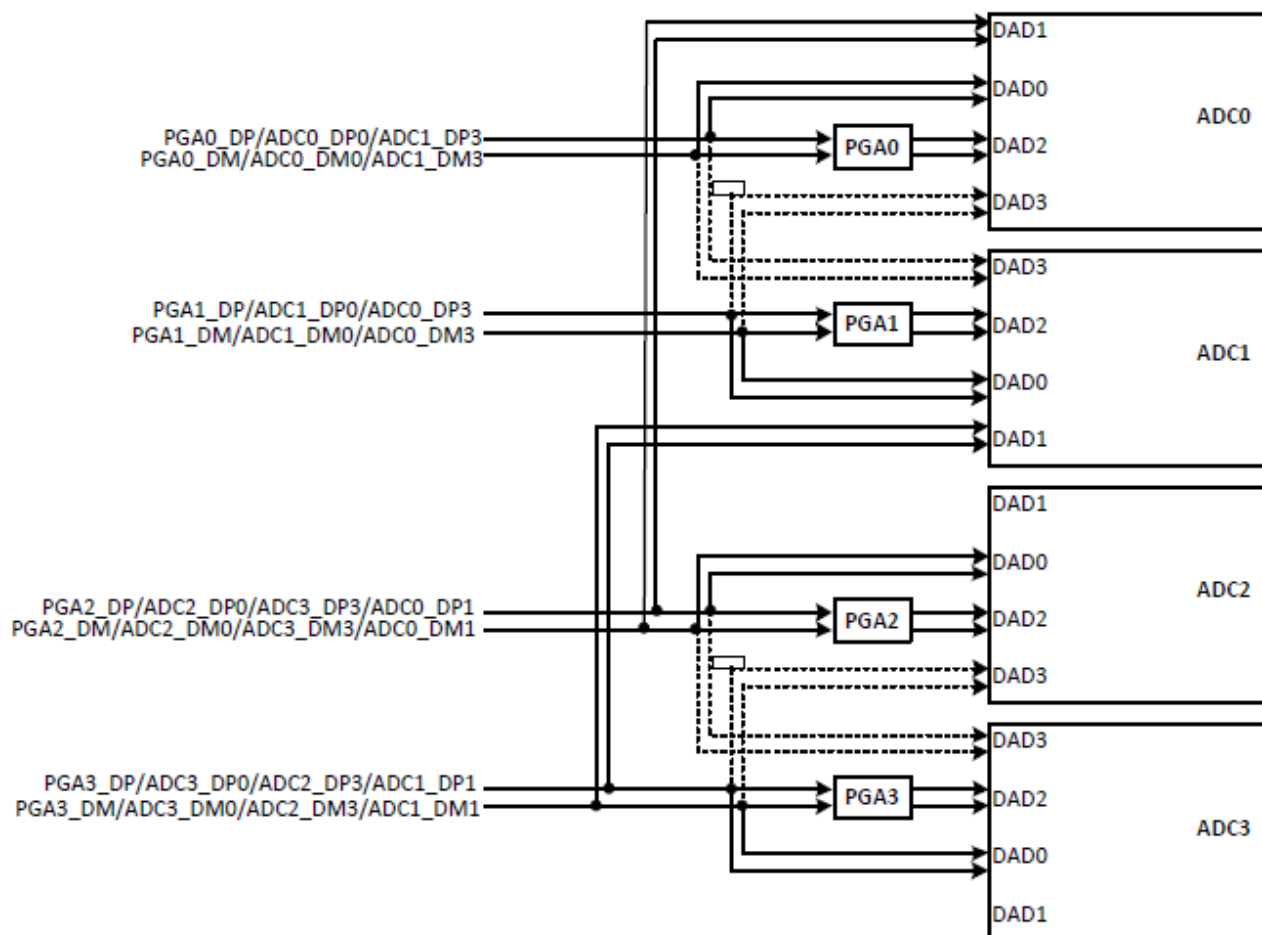


图 2. 具有四 ADC 的 PGA 集成

2.1 PGA 电压范围

PGA 的参考选择仅有 1.2 V V_{REF_OUT} 参考源。 V_{REF_OUT} 信号可由外部电压源驱动¹通过 V_{REF_OUT} 引脚实现，或来自 VREF 模块的输出信号。

PGA 差分模式操作使用差分输入电压。ADC 的结果即 PGA 差分正极(PGA_DP)和 PGA 差分负极(PGA_DM)之间通过共模修正的差分放大信号。

等式 1 表示 PGA 的共模电压² V_x 被设为 700 mV

$$V_x = V_{REF} \times 0.583 \quad \text{Eqn. 1}$$

等式 2 中的公式描述了 ADC16-PGA 的最大 PGA 差分输入信号摆幅³

1. 若使用外部电压（应用于 V_{REF_OUT} 引脚）而不是 VREF 模块，应确保 VREF 模块禁用。
2. PGA 共模电压的预期变化范围是 $\pm 15\text{--}20\text{ mV}$ 。这些变化是由 PGA 共模控制电路引起的。共模电压升高会降低最大差分输入摆幅，如等式 2 所示。
3. 该公式描述了在整个 ADC16-PGA 测量链中应考虑的最大差分输入摆幅。注意，此处不同于数据手册中表示 PGA 最大差分输入摆幅的公式： $V_{PPADC,DIF} = ((\min(V_x, V_{DDA} - V_x) - 0.2) \times 4) / \text{Gain}$ 。

$$V_{ppADC,DIF} = \frac{\min(V_x - 0.2, V_{VREF} - V_x) \times 4}{Gain} \quad \text{Eqn. 2}$$

其中: V_x 为 700 mV

V_{VREF} 为 1.2 V

Gain 表示可能的 PGA 增益 (1, 2, 4, 8, 16, 32, 64)

理论上, 16 位 ADC 的数字输出范围可按下式计算

$$ADC_{OUT} = \left(\frac{V_{ppADC,DIF}}{2 \times V_{VREF}} \right) \times Gain \times 2^N \quad \text{Eqn. 3}$$

其中: N 为当前转换所选用二进制位的数目 (分辨率)

PGA_DP 和 PGA_DM 最大允许电压峰峰值

$$V_{ppDP,ppDM} = \frac{V_{ppADC,DIF}}{2} \quad \text{Eqn. 4}$$

其中: $V_{ppDP,ppDM}$ 为 PGA 输入端的电压峰峰值

$V_{PPADC,DIF}$ 为 PGA 差分输入摆幅峰峰值

V_{ppDP} 为 PGA 正向输入端的最大电压峰峰值

V_{ppDM} 为 PGA 负向输入端的最大电压峰峰值

V_{REFPGA} 为 PGA 的电压基准(V_{REF_OUT})

表 1 汇总了所有 PGA 增益级的差分输入信号摆幅和对应的 ADC16 数字输出范围。

表 1. PGA 输入范围

PGA 增益	$V_{PPADC,DIF}$	ADC_{OUT}
× 01	2000 mV	54613 LSB
× 02	1000 mV	
× 04	500 mV	
× 08	250 mV	
× 16	125 mV	
× 32	62.5 mV	
× 64	31.25 mV	

3 PGA 动态输入示例

下面的小节中显示了 ADC16-PGA 测量链在使用两种不同的 PGA 增益级设置时的最大差分输入摆幅。

首先将 PGA 增益设置为 1 (x1), 然后将 PGA 增益设置为最大增益 x64 进行测量。

3.1 PGA 启用（增益 = 01）

PGA 正极(PGA_DP)和负极输入(PGA_DM)上施加了一个 2000 mV_{pp} 差分正弦信号。ADC16 和 PGA 均通过内部 VREF 模块驱动设为 1.2 V（参考电压测量值为 1.1972 V）。当 PGA 增益设为 1 时，实验显示的结果如图 3 所示。

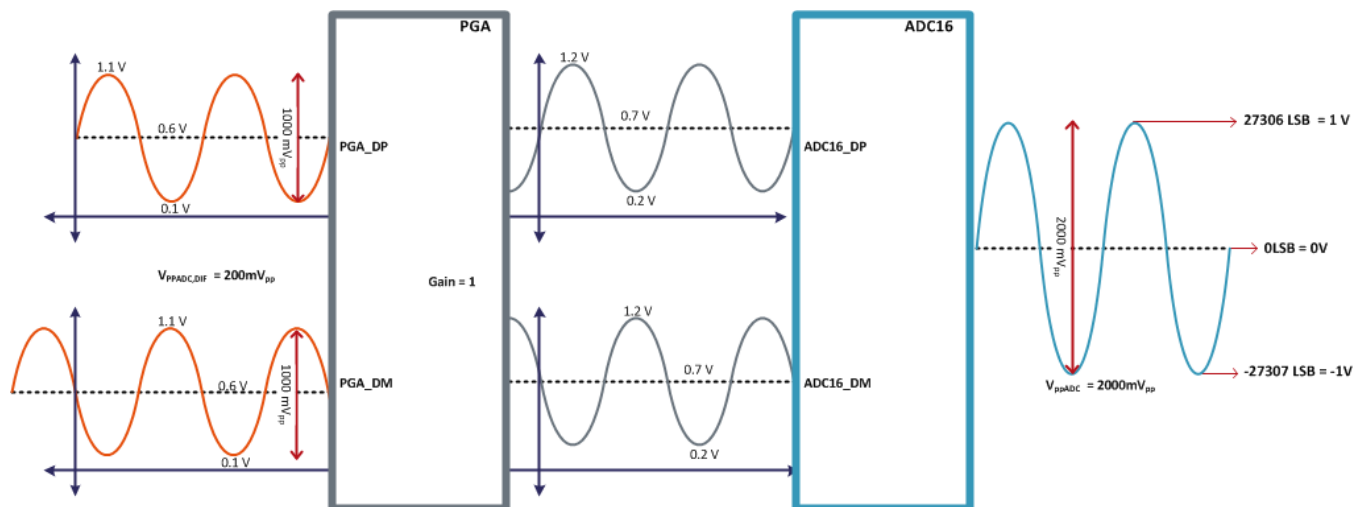


图 3. 差分输入波形的构成（PGA 启用，增益 = 01）

在 PGA 输出端，共模电压转变为 700 mV。由于输入信号总是在不断进行 PGA 的共模电压修正，因此只要信号摆幅在表 1 中所示的允许值内，即使 PGA_DP 和 PGA_DM 超过 1.2 V 也没有关系。

当差分正弦波形输入为 2000 mV_{pp}，PGA 增益为 1 时，其 ADC16 输出范围如图 4 所示。

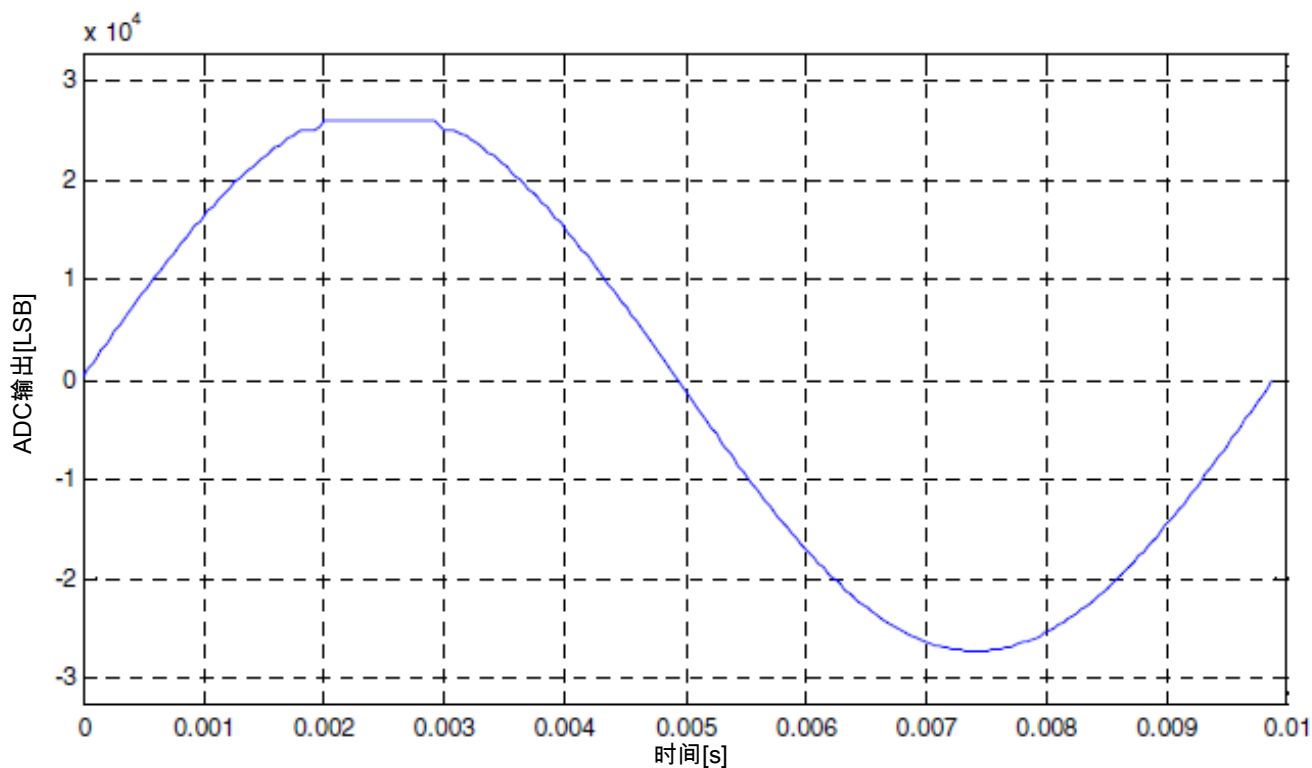


图 4. 全摆幅输入的数字输出范围（PGA 启用，增益 = 01）

ADC 数字输出编码的范围为 53369 LSB。该值近似于表 1 中给出的期望数字输出范围(54613 LSB)。

3.2 PGA 启用（增益 = 64）

PGA 正极和负极输入上施加了一个 31.25 mVpp 差分正弦信号。ADC16 和 PGA 均通过内部 VREF 模块驱动设为 1.2 V（参考电压测量值为 1.1972 V）。PGA 增益设为 64。实验设置如图 5 所示。

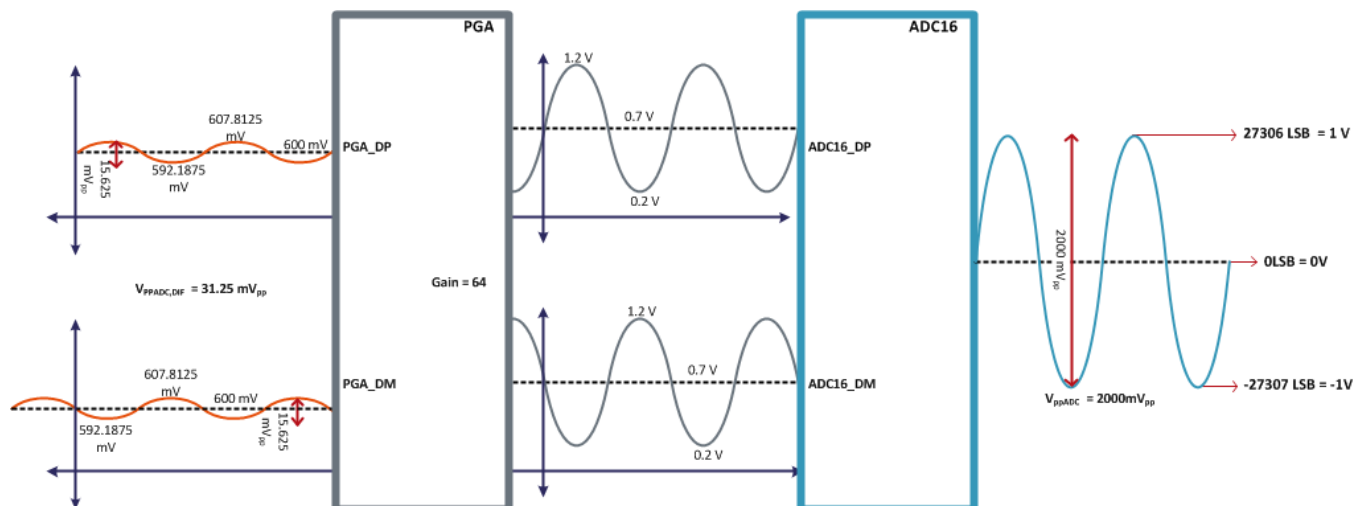


图 5. 差分输入波形的构成（PGA 启用，增益 = 64）

当差分正弦波形输入为 31.25mVpp，PGA 增益为 64 时，其 ADC16 输出范围如图 6 所示。

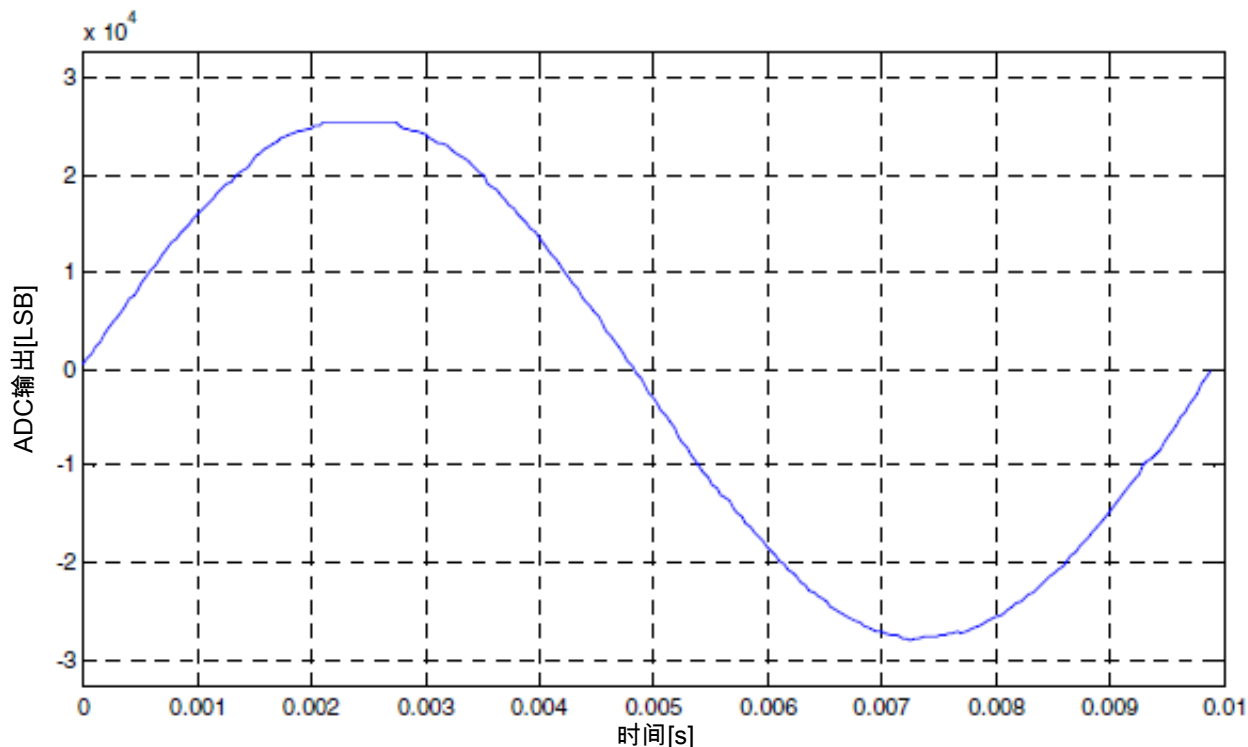


图 6. 全摆幅输入的数字输出范围（PGA 启用，增益 = 64）

基于 ADC 实测的 ADC 数字输出编码范围为 53489 LSB，近似于表 1 中所示的理论范围值 54613 LSB。

4 16 位 ADC 测量用例

本节将展示 PGA 禁用时 ADC16 差分测量的典型用例。本实验旨在说明 ADC16 差分测量和 PGA-ADC16 转换之间的权衡。

图 7 显示了一个 2400 mV_{pp} 差分正弦信号，该信号直接应用于 ADC16 差分输入，PGA 作为旁路。ADC16 电压基准通过内部 VREF 模块驱动设为 1.2 V（参考电压测量值为 1.1972 V）

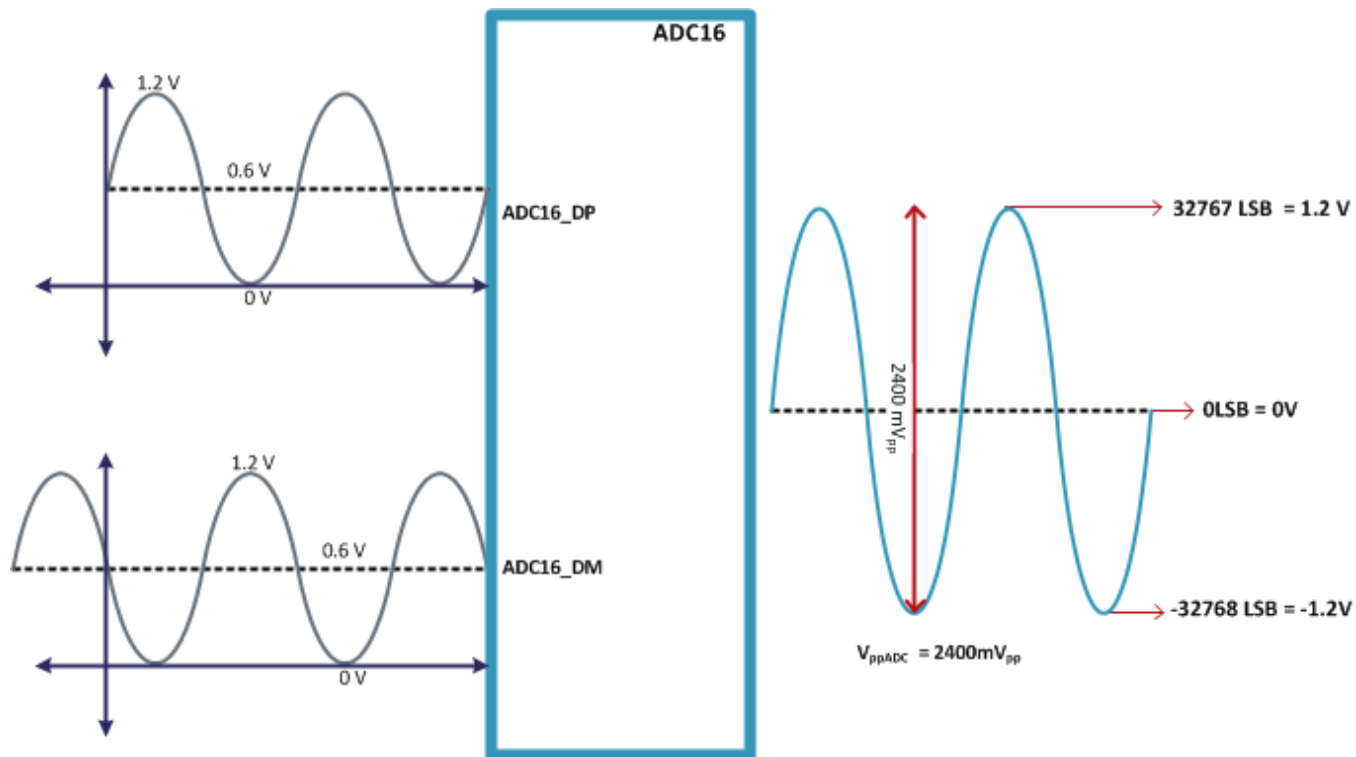


图 7. 差分输入波形的构成（PGA 禁用）

2.4 V_{pp} 差分正弦波形输入的 ADC16 输出范围如图 8 所示。

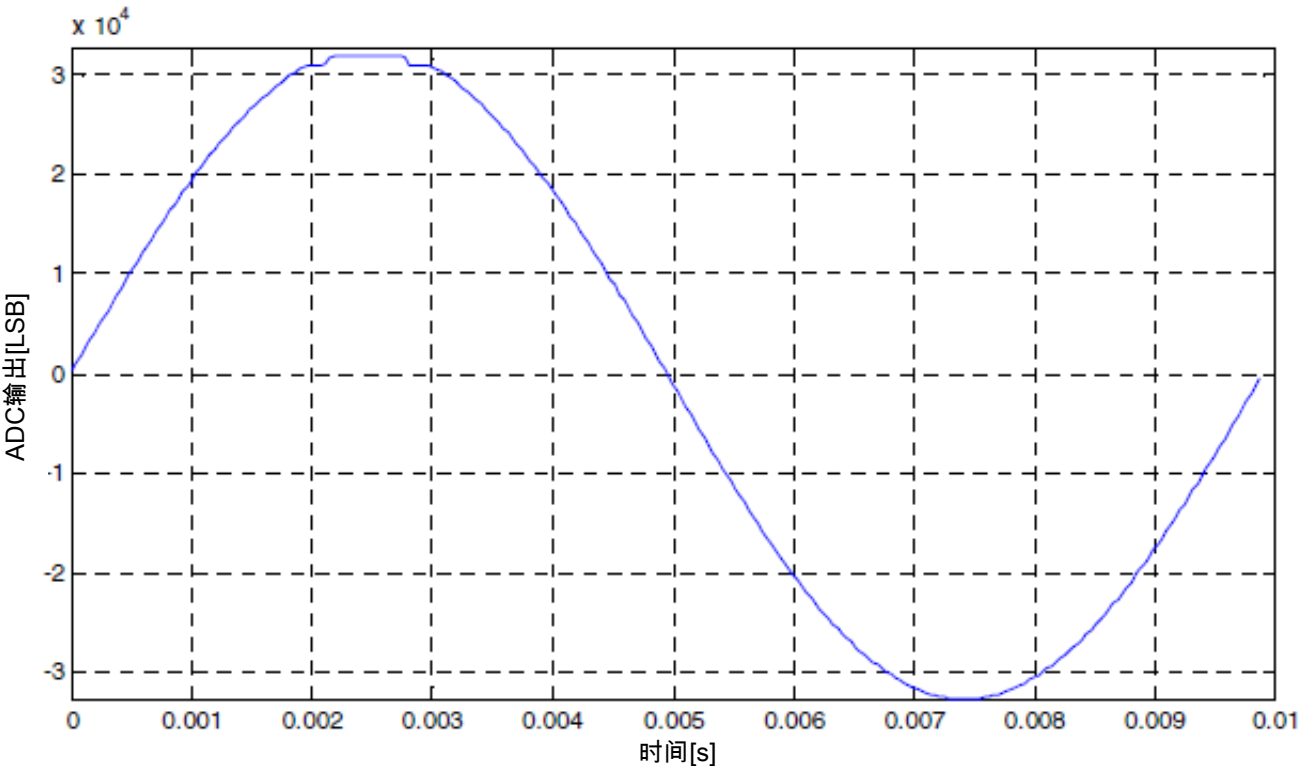


图 8. 全摆幅输入的数字输出范围（PGA 禁用）

基于 ADC 实测的 ADC 数字输出编码范围为 64753 LSB，近似于表 1 中所示的理论范围值 65536 LSB。

5 结语

上文中对各典型 ADC16 测量用例的输入信号摆幅和最大数字输出范围进行了比较。

在使用放大器时，应用情况中需考虑到：不可能实现理想响应，因为现实中将始终存在精度损失或误差。Kinetis PGA 的共模电压基准与理想值 $V_{REF}/2$ 有差别，并且还存在一个偏移误差 $VOFS$ 。

因此，PGA 禁用时理论输入摆幅更高——参见表 2（粗体项）。虽然 ADC16 在 PGA 禁用时可增大输入摆幅，但由于没有预放大级，动态范围始终不变。

表 2. PGA 对 16 位 ADC 输入电压范围的影响

用例	$V_{PPADC,DIF}$	ADC _{OUT} 理论值	ADC _{OUT} 测量值
ADC16-PGA 测量 (PGA 启用, 增益 = x64)	31.25 mVpp	54613 LSB	53489 LSB
ADC16-PGA 测量 (PGA 启用, 增益 = x01)	2000 mVpp	54613 LSB	53369 LSB
ADC16 测量 (PGA 禁用)	2400 mVpp	65536 LSB	64753 LSB

从 ADC16 结果寄存器中获取的转换结果如图 4、图 6 和图 8 所示，显示了理论值和测量值之间的差别。当正向输入接近上轨参考电压时，ADC16 会产生转换误差。这种情况仅在 16 位差分模式中出现，而其他操作模式不受影响。e3863 勘误表中描述了模拟转换器的这种特性、其根本原因和应对方案。⁴。勘误表中归纳的转换误差可视为“ADC_{OUT} 理论值”和“ADC_{OUT} 测量值”之间的偏差 — 参见表 2。

6 参考

飞思卡尔的 KINETIS_4N30D - Mask 4N30D Mask Set Errata (文档 KINETIS_4N30D)，Rev 15, 05/2012，可从网站 freescale.com 下载。

4. 飞思卡尔的 KINETIS_4N30D - Mask 4N30D Mask Set Errata (文档 KINETIS_4N30D)，Rev.15 MAY 2012, freescale.com

How to Reach Us:

Home Page:
freescale.com

Web Support:
freescale.com/support

本文档中的信息仅供系统和软件实施方使用 Freescale 产品。本文并未明示或者暗示授予利用本文档信息进行设计或者加工集成电路的版权许可。Freescale 保留对此处任何产品进行更改的权利，恕不另行通知。

Freescale 对其产品在任何特定用途方面的适用性不做任何担保、表示或保证，也不承担因为应用程序或者使用产品或电路所产生的任何责任，明确拒绝承担包括但不限于后果性的或附带性的损害在内的所有责任。

Freescale 的数据表和/或规格中所提供的“典型”参数在不同应用中可能并且确实不同，实际性能会随时间而有所变化。所有运行参数，包括“经典值”在内，必须经由客户的技术专家对每个客户的应用程序进行验证。

Freescale 未转让与其专利权及其他权利相关的许可。Freescale 销售产品时遵循以下网址中包含的标准销售条款和条件：freescale.com/SalesTermsandConditions。

Freescale™ and the Freescale logo are trademarks of Freescale Semiconductor, Inc. All other product or service names are the property of their respective owners.

© 2012 Freescale Semiconductor, Inc.

© 2012 飞思卡尔半导体有限公司